

Note: This is the ballmap when looking through the top of the package. This ballmap represents the PCB footprint for the Tsi577.

Physical Pin Assignment for Tsi577 - Top External View

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	NO_BALL	VSS	VSS	VSS	VSS	VSS	VSS	SP6_TD_p	VSS	SP6_TC_n	VSS	SP6_TB_p	VSS	SP6_TA_n	VSS	VSS	VSS	VSS	VSS	VSS	A
B	VSS	VSS	VSS	VSS	VSS	VSS	VSS	SP6_TD_n	VSS	SP6_TC_p	SP_VDD	SP6_TB_n	VSS	SP6_TA_p	SP_VDD	VSS	VSS	S_CLK_p	S_CLK_n	VSS	B
C	VSS	VSS	VSS	VSS	VSS	VSS	VSS	SP_VDD	VSS	SP_VDD	VSS	SP_VDD	VSS	SP_VDD	VSS	VSS	VSS	REF_AVDD	VSS	REF_AVDD	C
D	VSS	SP_VDD	VSS	VSS	VSS	VSS	VSS	SP6_RD_n	VSS	SP6_RC_p	SP6_REXT	SP6_RB_n	VSS	SP6_RA_p	VSS	VSS	VSS	VSS	VSS	VSS	D
E	SP0_TA_n	SP0_TA_p	SP_VDD	SP0_RA_p	SP0_RA_n	VSS	VSS	SP6_RD_p	SP_AVDD	SP6_RC_n	SP_AVDD	SP6_RB_p	SP_VDD	SP6_RA_n	VSS	VSS	VSS	VSS	VSS	VSS	E
F	VSS	VSS	VSS	VSS	SP_VDD	VSS	VSS	VSS	VSS	VSS	SP_AVDD	VSS	VSS	VSS	VSS	SP_AVDD	NC	VSS	VSS	VSS	F
G	SP0_TB_p	SP0_TB_n	SP_VDD	SP0_RB_n	SP0_RB_p	VSS	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	SP12_RB_p	SP12_RB_n	SP_VDD	SP12_TB_n	SP12_TB_p	G
H	VSS	SP_VDD	VSS	SP0_REXT	SP_AVDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	SP_AVDD	SP_VDD	VSS	VSS	VSS	VSS	H
J	SP0_TC_n	SP0_TC_p	SP_VDD	SP0_RC_p	SP0_RC_n	VSS	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	SP12_RA_n	SP12_RA_p	SP_VDD	SP12_TA_p	SP12_TA_n	J
K	VSS	VSS	VSS	VSS	SP_AVDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VSS	SP_AVDD	SP4_REXT	VSS	SP_VDD	VSS	K
L	SP0_TD_p	SP0_TD_n	SP_VDD	SP0_RD_n	SP0_RD_p	SP_AVDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	SP_AVDD	SP4_RB_p	SP4_RB_n	SP_VDD	SP4_TB_n	SP4_TB_p	L
M	VSS	SP_VDD	VSS	VSS	VSS	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VSS	SP_VDD	VSS	VSS	VSS	VSS	M
N	VSS	SP4_PWRDN	SP5_PWRDN	VDD_IO	SP14_PWRDN	VSS	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	SP4_RA_n	SP4_RA_p	SP_VDD	SP4_TA_p	SP4_TA_n	N
P	SP6_PWRDN	VDD_IO	SP7_PWRDN	VSS	SP15_PWRDN	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VSS	VSS	VSS	VSS	SP_VDD	VSS	P
R	VSS	SP10_PWRDN	SP11_PWRDN	VDD_IO	VSS	VSS	VSS	VSS	VSS	VSS	SP_AVDD	VSS	SP_AVDD	VSS	VSS	I2C_SA[0]	I2C_SA[1]	VSS	MCES	BCE	R
T	SP8_PWRDN	VDD_IO	COMP_MODE[0]	VSS	SP_CLK_SEL	VSS	SP2_RA_n	SP_VDD	SP2_RB_p	SP_AVDD	SP10_RA_n	SP_VDD	SP10_RB_p	SP_AVDD	VSS	SP_IO_SPEED[0]	I2C_SEL	VSS	SP_RX_SWAP	SP_TX_SWAP	T
U	VSS	INT_b	VSS	VDD_IO	SP6_MODESEL	VSS	SP2_RA_p	VSS	SP2_RB_n	SP2_REXT	SP10_RA_p	VSS	SP10_RB_n	VSS	COMP_MODE[1]	SP_IO_SPEED[1]	VDD_IO	I2C_DISABLE	VDD_IO	TMS	U
V	SP2_MODESEL	VDD_IO	SW_RST_b	SP4_MODESEL	SP12_PWRDN	VSS	SP_VDD	VSS	SP_VDD	VSS	SP_VDD	VSS	SP_VDD	VSS	VSS	SP0_MODESEL	VSS	VSS	TDO	TDI	V
W	VSS	NC	VSS	VDD_IO	SP13_PWRDN	VSS	SP2_TA_p	VSS	SP2_TB_n	SP_VDD	SP10_TA_p	VSS	SP10_TB_n	SP_VDD	VSS	I2C_MA	SP2_PWRDN	I2C_SD	VDD_IO	TRST_b	W
Y	NC	VDD_IO	HARD_RST_b	VSS	SP9_PWRDN	VSS	SP2_TA_n	VSS	SP2_TB_p	VSS	SP10_TA_n	VSS	SP10_TB_p	VSS	VSS	SP1_PWRDN	SP3_PWRDN	VSS	I2C_SCLK	TCK	Y
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	